



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0043081
Application Number

출원년월일 : 2003년 06월 30일
Date of Application JUN 30, 2003

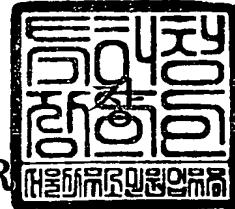
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.06.30
【발명의 명칭】	리프레시타임을 개선시킨 반도체소자의 제조 방법
【발명의 영문명칭】	METHOD FOR IMPROVED REFRESH TIME OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	오재근
【성명의 영문표기】	OH, Jae Geun
【주민등록번호】	690823-1063317
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 386-72 현대5차아파트 504-1603
【국적】	KR
【발명자】	
【성명의 국문표기】	홍병섭
【성명의 영문표기】	HONG, Byung Seop
【주민등록번호】	621011-1671028
【우편번호】	136-086
【주소】	서울특별시 성북구 보문동6가 441 아남아파트 101-1001
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)

1020030043081

출력 일자: 2003/10/30

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	2	면	2,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	8	항	365,000	원
【합계】			396,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 셀접합과 셀콘택플러그간 접촉저항을 개선하기 위한 플러그이온주입공정시 이온주입농도의 가파른 농도구배에 따른 리프레시타임의 열화를 방지하는데 적합한 반도체 소자의 제조 방법을 제공하기 위한 것으로, 본 발명의 반도체 소자의 제조 방법은 실리콘기판 상에 게이트라인을 형성하는 단계, 상기 게이트라인을 마스크로 제1도편트를 이온주입하여 셀접합을 형성하는 단계, 상기 게이트라인을 포함하는 상기 실리콘기판 상에 완충막을 형성하는 단계, 상기 완충막이 형성된 상기 실리콘기판에 제2도편트를 이온주입하여 상기 셀접합의 Rp와 동일한 Rp를 갖는 플러그이온주입영역을 형성하는 단계, 상기 완충막을 식각하여 상기 게이트라인의 양측벽에 스페이서를 형성하는 단계, 상기 스페이서가 형성된 상기 실리콘기판 상에 충간절연막을 형성하는 단계, 상기 충간절연막을 식각하여 상기 셀접합을 노출시키는 콘택홀을 형성하는 단계, 및 상기 콘택홀을 통해 상기 셀접합과 전기적으로 연결되는 셀콘택플러그를 형성하는 단계를 포함한다.

【대표도】

도 2b

【색인어】

셀콘택플러그, 플러그이온주입, 농도구배, 리프레시타임, 이온주입에너지, 완충막, 접촉저항

【명세서】**【발명의 명칭】**

리프레시타임을 개선시킨 반도체소자의 제조 방법{METHOD FOR IMPROVED REFRESH TIME OF SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래 셀플러그 이온주입을 이용한 반도체 소자의 제조 방법을 도시한 공정 단면도,

도 2a 내지 도 2d는 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 도시한 공정 단면도,

도 3은 종래 기술과 본 발명의 실시예에 따른 플러그이온주입영역의 농도 구배를 비교한 도면,

도 4는 종래기술과 본 발명의 리프레시타임을 비교한 도면.

* 도면의 주요 부분에 대한 부호의 설명

31 : 실리콘기판 31a : p형 웨

32 : 필드산화막 33 : 게이트절연막

34 : 제1게이트전극 35 : 제2게이트전극

36 : 마스크산화막 37 : 셀접합

38 : 완충막 39 : 플러그이온주입영역

40 : 충간절연막 41 : 셀콘택플러그

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 리프레시 타임을 증가시킬 수 있는 반도체 소자의 제조 방법에 관한 것이다.

<13> DRAM 소자의 셀영역에서 실리콘기판의 셀접합(Cell junction)과 캐패시터의 스토리지노드(storage node), 또는 실리콘기판의 셀접합과 비트라인(Bitline)을 연결하기 위해 사용하는 콘택플러그(contact plug), 즉 셀콘택플러그(cell contact plug)의 재질은 대부분 폴리실리콘막이다. 이와 같이 폴리실리콘막을 이용한 셀콘택플러그는 전기전도성을 증가시키기 위해 $1 \times 10^{20}/\text{cm}^3$ 이상의 농도의 도편트를 도핑한다. 한편, 셀의 저항 성분은 채널저항, 셀접합의 저항, 그리고 셀접합의 접촉저항 등이 있고, 이러한 셀의 저항 성분을 낮추기 위해 채널이나 셀접합의 경우 이온주입에너지 또는 도즈를 조절한다.

<14> 특히, 셀접합에서의 저항은 그 성분 크기가 크지 않아 콘택플러그 물질인 폴리실리콘막 내 도편트의 도핑 농도만을 조절하여 저항을 낮춘다. 때문에 셀콘택플러그가 작아짐에 따라 접촉부의 저항의 중요성이 증가하고 있다.

<15> 그러나, 접촉저항을 낮추기 위해서 폴리실리콘막의 농도만으로 스토리지노드와 접촉하는 계면 지역 그리고 셀접합에서의 접촉저항을 낮추는데 한계가 있다.

<16> 이와 같은 문제를 해결하기 위해 도입된 기술이 셀 플러그 이온주입(Cell plug implantation) 공정이다. 셀 플러그 이온주입 공정은 콘택홀을 형성한 후에 셀접합에 추가로

도편트를 이온주입하는 기술로, 셀접합과 셀콘택플러그간 접촉저항을 낮추는 효과가 있는 것으로 알려져 있다.

<17> 도 1a 내지 도 1c는 종래 셀플러그 이온주입을 이용한 반도체 소자의 제조 방법을 도시한 공정 단면도이다.

<18> 도 1a에 도시된 바와 같이, 셀영역으로 정의된 실리콘기판(11)에 셀트랜지스터가 형성될 p형 웰(11a)을 형성한 후, STI(Shallow Trench Isolation)법을 이용하여 필드산화막(12)을 형성한다. 다음에, 실리콘기판(11) 상에 게이트절연막(13), 제1게이트도전막(14), 제2게이트도전막(15) 및 마스크산화막(mask oxide, 16)의 순서로 적층된 게이트라인을 형성한다.

<19> 계속해서, 게이트라인을 마스크로 이용한 저농도 도편트의 이온주입을 실시하여 게이트라인 사이의 실리콘기판(11) 내에 셀접합(17)을 형성한다. 이때, 셀접합(17)은 잘 알려진 바와 같이, 누설전류를 억제하기 위해 저농도 도편트의 이온주입만으로 형성되는데, 예컨대 LDD(Lightly Doped Drain) 영역이라고 일컫는다. 한편, 주변회로영역에 형성되는 nMOSFET는 저농도 도편트의 이온주입과 고농도 도편트의 이온주입으로 형성된 LDD 구조의 소스/드레인 구조를 채택하고 있고, pMOSFET는 소스/드레인 구조의 주변에 포켓이온주입을 하여 SCE를 억제하는 구조를 채택하고 있다.

<20> 도 1b에 도시된 바와 같이, 게이트라인의 양측벽에 스페이서(18)를 형성한 후, 게이트라인을 포함한 실리콘기판(11) 상에 충간절연막(19)을 증착한다. 다음에, 도시되지 않은 랜딩플러그콘택(Landing Plug Contact) 마스크를 식각마스크로 충간절연막(19)을 식각하여 셀콘택플러그를 형성하기 위한 콘택홀을 형성한다. 이때, 게이트라인 사이의 셀접합(17) 표면이 노출된다.

<21> 다음에, 셀접합(17)과 셀콘택플러그간 접촉저항 감소를 위한 셀플러그이온주입을 실시하여 셀접합(17)의 Rp(Projection of range)와 유사한 Rp를 갖는 플러그이온주입영역(20)을 형성한다. 여기서, 셀플러그이온주입은 셀접합(17)과 후속 셀콘택플러그간 접촉저항을 감소시켜 셀영역에 형성되는 트랜지스터의 구동력을 높이기 위한 것이다.

<22> 전술한 바와 같이, 셀플러그 이온주입은 셀콘택플러그를 형성하기 위한 콘택홀 형성 이후에 진행된다.

<23> 도 1c에 도시된 바와 같이, 게이트라인을 포함한 전면에 폴리실리콘막을 증착한 후, 에치백(etchback) 또는 화학적기계적연마(Chemical Mechanical Polishing; CMP)를 통해 셀접합(17)에 콘택되는 셀콘택플러그(21)를 형성한다.

<24> 위에서 살펴본 바와 같이, 종래 기술에서는 셀콘택저항을 낮춰 셀트랜지스터의 포화전류(saturation current)를 높일 수 있도록 셀플러그 이온주입 공정을 실시하고 있다.

<25> 그러나, 종래기술은 셀트랜지스터의 포화전류를 높일 수는 있으나, 소자의 신뢰성 측면, 즉 리프레시타임(refresh time) 증가에는 한계가 있다. 다시 말하면, 종래 기술은 플러그이온주입영역(20)이 셀접합(17)과 직접 접하고 있기 때문에 접합농도가 급격히 증가하여 깊이에 따른 농도구배가 가파르게 상승하게 되는 문제가 있다. 이로써 p형 웨(11a)과 셀접합(17)간의 공핍층의 폭 감소를 초래하여 전계가 증가하는 현상을 유발시키게 되어 리프레시 타임(Refresh time)이 오히려 감소하는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 셀접합과 셀콘택 플러그간 접촉저항을 개선하기 위한 플러그이온주입공정시 이온주입농도의 가파른 농도구배에 따른 리프레시타임의 열화를 방지하는데 적합한 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<27> 상기 목적을 달성하기 위한 본 발명의 반도체 소자의 제조 방법은 실리콘기판 상에 게이트라인을 형성하는 단계, 상기 게이트라인을 마스크로 제1도편트를 이온주입하여 셀접합을 형성하는 단계, 상기 게이트라인을 포함하는 상기 실리콘기판 상에 완충막을 형성하는 단계, 상기 완충막이 형성된 상기 실리콘기판에 제2도편트를 이온주입하여 상기 셀접합의 Rp와 동일한 Rp를 갖는 플러그이온주입영역을 형성하는 단계, 상기 완충막을 식각하여 상기 게이트라인의 양측벽에 스페이서를 형성하는 단계, 상기 스페이서가 형성된 상기 실리콘기판 상에 충간절연막을 형성하는 단계, 상기 충간절연막을 식각하여 상기 셀접합을 노출시키는 콘택홀을 형성하는 단계, 및 상기 콘택홀을 통해 상기 셀접합과 전기적으로 연결되는 셀콘택플러그를 형성하는 단계를 포함하는 것을 특징으로 하고, 상기 플러그이온주입영역은 마스크없이 블랭킷 이온주입으로 형성하며, 상기 블랭킷 이온주입은 인(³¹P)을 이용하고, 80keV~150keV의 이온주입에너지와 1×10^{12} ions/cm²~ 3×10^{13} ions/cm²의 도즈로 이루어지는 것을 특징으로 하며, 상기 블랭킷 이온주입은, 인(³¹P)을 이용하고, 80keV~150keV의 범위내에서 이온주입에너지를 분산시킴과 동시에 1×10^{12} ions/cm²~ 3×10^{13} ions/cm²의 도즈를 나누어 이루어지는 것을 특징으로 하고, 상기 이온주입에너지를 분산시키는 블랭킷 이온주입은, 상기 80keV~150keV의 범위내

에서 낮은 이온주입에너지로부터 높은 이온주입에너지로 점차 그 크기를 증가시키면서 다수회 이온주입하는 것을 특징으로 한다.

<28> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<29> 도 2a 내지 도 2d는 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 도시한 공정 단면도이다.

<30> 도 2a에 도시된 바와 같이, 셀트랜지스터가 형성될 실리콘기판(31)에 p형 도편트를 이온 주입하여 p형 웰(31a)을 형성한다. 이때, p형 웰(31a)을 형성하기 위한 이온주입은 붕소 (Boron)를 5×10^{12} ions/cm² ~ 3×10^{13} ions/cm²의 도즈와 180keV ~ 300keV의 높은 이온주입에너지로 진행된다.

<31> 다음에, STI법을 이용하여 필드산화막(32)을 형성한 후, 실리콘기판(31) 상에 게이트절연막(33), 제1게이트도전막(34), 제2게이트도전막(35) 및 마스크산화막(36)의 순서로 적층된 게이트라인을 형성한다. 여기서, 게이트절연막(33)은 일반적인 실리콘산화막(SiO₂) 계열이고, 제1게이트도전막(34)은 폴리실리콘막이며, 제2게이트도전막(35)은 텅스텐막(W) 또는 텅스텐실리사이드막(WSi₂)과 같은 저저항 금속막이다.

<32> 계속해서, 게이트라인을 마스크로 이용한 도편트의 이온주입을 통해 게이트라인 사이의 실리콘기판(31) 내에 셀접합(37)을 형성한다. 이때, 셀접합(37)은 잘 알려진 바와 같이, 인 (Phosphorous; P)과 같은 n형 도편트를 저농도로 주입하여 형성한다. 이와 같이 저농도로 도편

트를 주입하는 이유는 셀영역에는 누설전류를 억제하기 위해 저농도 소스/드레인을 형성하고 주변회로영역에는 LDD 구조의 소스/드레인을 형성하기 위함이다.

<33> 한편, 셀접합(37)은 인(P) 또는 비소(As)를 1×10^{13} ions/cm² ~ 5×10^{13} ions/cm²의 도즈와 70keV ~ 80keV의 낮은 이온주입에너지로 주입하여 형성한다. 그리고, 이온주입은 0° ~ 20°의 틸트각(tilt angle)을 주면서 진행할 수 있는데, 이때 틸트각이 5° 이상인 경우에는 웨이퍼를 2회 또는 4회 로테이션(rotation)시켜 이온주입한다.

<34> 도 2b에 도시된 바와 같이, 게이트라인을 포함한 전면에 완충막(buffer layer, 38)을 증착한다. 이때, 완충막(38)은 200 Å ~ 500 Å의 두께로 형성한 질화막을 이용한다.

<35> 다음에, 완충막(38)이 형성된 상태에서 블랭킷 이온주입(blanket implant)을 진행하여 플러그이온주입영역(39)을 형성한다. 이때, 블랭킷 이온주입이라 함은 이온주입마스크없이 전면에 이온주입을 실시하는 것을 의미한다.

<36> 여기서, 플러그이온주입영역(39)의 Rp(Projection of range)가 셀접합(37)의 Rp와 유사해야 하므로 이온주입에너지가 크다. 즉, 완충막(38)의 두께가 존재하므로 완충막(38)에서 소실되는 도편트를 보충해주기 위해 완충막(38)이 없이 진행하던 것과 달리 이온주입에너지를 증가시켜야만 요구되는 Rp를 만족할 수 있다.

<37> 이를 위해 블랭킷 이온주입시 도편트로는 셀접합(37)에 도핑된 도편트와 동일한 n형 도편트를 이용하되, 인(³¹P)을 이용하고 이온주입에너지와 도즈(dose)는 각각 80keV ~ 150keV, 1×10^{12} ions/cm² ~ 3×10^{13} ions/cm²이다. 한편, 이온주입에너지는 완충막(38)의 두께가 얕으면 작아지고 완충막(38)의 두께가 두꺼워지면 커지게 된다. 아울러, 이온주입되는 인(P)의 도즈도 완충막(38)을 통과하면서 소실되는 것을 고려하여 그 양을 조절한다.

<38> 한편, 블랭킷 이온주입시 더욱 완만한 농도 구배를 얻기 위해 2,3차례 에너지를 분산시켜 이온주입할 수 있다. 예컨대, 80keV~150keV의 범위내에서 낮은 이온주입에너지로부터 높은 이온주입에너지로 점차 그 크기를 증가시키면서 다수회 이온주입하는데, 80keV의 이온주입에너지원으로 1차 이온주입하고, 100keV로 2차 이온주입하며, 마지막으로 120keV로 3차 이온주입한다. 이때, 도편트의 도즈도 각 이온주입시 나눠서 주입할 수 있다.

<39> 전술한 바와 같은 블랭킷 이온주입을 통해 플러그이온주입영역(39)을 형성하면, 이온주입된 도편트의 농도 프로파일을 브로드(Broad)하게 만들어줄 수 있다. 즉, 요구되는 Rp를 만족시키기 위해 완충막(38)이 없이 이온주입하는 경우에는 40keV~70keV 범위의 낮은 이온주입에너지원으로 이온주입함에 따라 도편트의 농도구배가 매우 가파르면서(sharp) 좁게(narrow) 형성되는 단점이 있었으나, 본 발명에서처럼 완충막(38)을 형성한 상태에서 80keV~150keV 범위의 높은 이온주입에너지원으로 이온주입하므로써 도편트의 농도구배를 완만(Round)하면서 넓게(Broad) 형성할 수 있다. 자세한 설명은 도 3을 참조하여 후술하기로 한다.

<40> 도 2c에 도시된 바와 같이, 완충막(38)을 에치백하여 게이트라인의 양측벽에 접하는 게이트스페이서(38a)를 형성하고, 게이트스페이서(38a) 및 게이트라인을 포함한 전면에 충간절연막(40)을 증착한다.

<41> 다음으로, 충간절연막(40) 상에 랜딩플러그콘택 마스크(도시 생략)를 형성한 후, 랜딩플러그콘택 마스크를 식각마스크로 충간절연막(40)을 식각하여 셀접합(37)의 표면을 노출시키는 콘택홀(40a)을 형성한다. 이때, 게이트스페이서(38a)는 충간절연막(40) 식각시 식각배리어 역할을 하고, 그 결과 게이트라인이 식각으로부터 어택받는 것을 방지한다.

<42> 도 2d에 도시된 바와 같이, 콘택홀(40a)을 포함한 전면에 폴리실리콘막을 증착한 후, 마스크산화막(36)의 표면이 드러날때까지 화학적기계적연마(CMP)하여 셀접합(37)에 연결되는 셀콘택플러그(41)를 형성한다.

<43> 도 3은 종래 기술과 본 발명의 실시예에 따른 플러그이온주입영역의 농도 구배를 비교한 도면이다. 여기서, 가로좌표는 깊이(depth, Å)를 나타내고, 세로좌표는 인(P)의 농도(ions/cm^3)를 나타낸다. 한편, 도 3에서, 농도구배를 나타내는 커브 P1은 ${}^{31}\text{P}$ 를 55keV의 이온주입에너지와 $5 \times 10^{12} \text{ ions}/\text{cm}^2$ 의 도즈로 주입한 경우이고, 커브 P2는 400Å의 질화막을 형성한 상태에서 ${}^{31}\text{P}$ 를 100keV의 이온주입에너지와 $9 \times 10^{12} \text{ ions}/\text{cm}^2$ 의 도즈로 주입한 경우이다.

<44> 도 3에 도시된 바와 같이, 커브 P1의 R_p 가 커브 P1에 비해 이온주입에너지와 도즈가 증가한 커브 P2의 R_p 와 동일한 값, 즉 750Å 근처의 깊이에서 동일하게 측정되고 있으나, 두 커브의 형태는 서로 다르다. 예컨대, 질화막이 없이 바로 실리콘기판에 낮은 이온주입에너지로 인을 주입한 커브 P1은 그 형태가 매우 가파르면서 좁게 나타나고 있는 반면, 질화막을 형성한 상태에서 높은 이온주입에너지로 인을 주입한 커브 P2는 완만하면서 넓은 형태를 보이고 있다.

<45> 이와 같이 동일한 R_p 값을 갖더라도 두 커브의 형태가 다른 이유는 낮은 이온주입에너지로도 요구되는 R_p 를 얻을 수 있는 커브 P1과는 다르게 커브 P2는 질화막이 400Å 두께로 형성되어 있어 커브 P1과 동일한 R_p 를 얻기 위해 커브 P1에 비해 상대적으로 높은 이온주입에너지 및 높은 도즈를 적용하기 때문이다. 통상적으로 높은 이온주입에너지로 이온주입이 진행되는 시편의 R_p 값과 낮은 이온주입에너지로 진행된 시편의 R_p 를 동일하게 하는 경우에는 ΔR_p 가 증가하는 것으로 알려져 있다. 여기서, ΔR_p 는 R_p 의 60% 수준에 해당하는 값으로서, 농도구배의 가파른 정도를 보여주는 기준이 된다.

<46> 결국, 낮은 이온주입에너지로 진행된 커브P1의 R_p 와 동일한 R_p 를 갖기 위해 상대적으로 높은 이온주입에너지로 주입한 커브P2는 ΔR_p 가 증가함에 따라 완만하면서 넓은 형태를 보인다. 이로써 p형 웰과 셀접합간의 공핍층의 폭이 감소하는 것이 억제되는데, 이는 셀접합의 전계 집중현상을 완화시킴을 의미한다.

<47> 도 4는 종래기술과 본 발명의 리프레시타임을 비교한 도면이다. 도 4에서, 가로좌표는 웨이퍼프레임 넘버(Wafer Frame number)를 나타내고, 세로좌표는 리프레시타임(t_{REF} , ms)을 나타낸다. 그리고, 도면부호 '○'와 '□'는 각각 포즈리프레시타임(Pause-refresh time, $P-t_{REF}$)과 Y-마치 리프레시타임(Y-march refresh time, $YMC-t_{REF}$)을 나타낸다. 여기서, 포즈리프레시타임은 리프레시하는 시간의 간격을 의미하며, Y-마치 리프레시타임은 Y-마치 리프레시법으로 측정한 리프레시타임을 의미한다.

<48> 아울러, 'R1'은 이온주입에너지와 도즈를 모두 증가시킨 경우의 결과이고, 'R2'는 'R1'에 비해 도즈를 감소시킨 경우의 결과이며, 'R3'는 'R1'에 비해 이온주입에너지를 증가시킨 경우의 결과이다. 그리고, 'R4', 'R5'는 질화막없이 낮은 이온주입에너지로 플러그이온주입을 실시한 종래기술의 결과로서, 'R5'는 'R4'에 비해 이온주입에너지를 증가시킨 경우의 결과이다.

<49> 도 4에 도시된 바와 같이, 질화막없이 낮은 이온주입에너지를 플러그이온주입을 실시한 종래기술의 결과(R4, R5)는 포즈리프레시타임과 Y-마치 리프레시타임이 90ms~150ms정도로 매우 짧은 반면에 질화막을 형성한후에 플러그이온주입을 실시한 본 발명의 결과(R1, R2, R3)는 포즈리프레시타임과 Y-마치 리프레시타임이 130ms~300ms정도로 매우 길게 측정되고 있다.

<50> 도 4에서 살펴 본 바와 같이, 본 발명의 결과(R1, R2, R3)들은 종래기술의 결과(R4, R5)에 비해 모두 리프레시타임이 증가하고 있음을 알 수 있다.

<51> 전술한 실시예에서는 셀영역에 국한하여 설명하였으나, 완충막 증착 공정이 주변영역에도 이루어지기 때문에 pMOSFET의 SCE(Short Channel Effect) 억제효과를 부가적으로 얻을 수 있다.

<52> 예컨대, 완충막 증착후 플러그이온주입이 마스크없이 진행되기 때문에 주변영역의 nMOSFET 및 pMOSFET 형성 지역에도 이온주입이 이루어지고, 특히 pMOSFET 지역은 얇은 p형 소스/드레인영역으로 예정된 지역에 카운터도핑(counter doping)됨으로 일반적으로 사용하는 포켓(pocket) 이온주입 역할을 한다. 즉, p형 소스/드레인영역과 반대 도전형의 도편트를 이온주입하여 p형 소스/드레인영역의 채널 방향에 국부적으로 포켓 이온주입영역을 형성한다. 이로써 SCE 효과를 억제하는 것이다.

<53> 잘 알려진 바와 같이, 셀영역에는 단일 게이트스페이서를 이용하고, 주변영역에서는 이중 게이트스페이서를 이용하기 때문에 완충막으로 된 첫 번째 게이트스페이서를 형성한 후에 두 번째 게이트스페이서를 형성하고, 이후 p형 소스/드레인영역을 형성하므로 p형 소스/드레인 영역의 채널 방향에 국부적으로 두번째 게이트스페이서 폭만큼의 포켓 이온주입영역이 형성되는 구조를 얻는다. 따라서, 본 발명은 포켓이온주입영역을 형성하기 위한 별도의 이온주입공정이 필요없다.

<54> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<55> 상술한 바와 같은 본 발명은 셀콘택플러그와 셀접합간 접촉저항을 개선시키기 위한 플러그이온주입 공정을 완충막을 형성한 상태에서 높은 이온주입에너지로 진행하므로써 완만하고 넓은 농도구배를 형성하여 소자의 리프레시타임을 증가시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

실리콘기판 상에 게이트라인을 형성하는 단계;

상기 게이트라인을 마스크로 제1도편트를 이온주입하여 셀접합을 형성하는 단계;

상기 게이트라인을 포함하는 상기 실리콘기판 상에 완충막을 형성하는 단계;

상기 완충막이 형성된 상기 실리콘기판에 제2도편트를 이온주입하여 상기 셀접합의 Rp

와 동일한 Rp를 갖는 플러그이온주입영역을 형성하는 단계;

상기 완충막을 식각하여 상기 게이트라인의 양측벽에 스페이서를 형성하는 단계;

상기 스페이서가 형성된 상기 실리콘기판 상에 층간절연막을 형성하는 단계;

상기 층간절연막을 식각하여 상기 셀접합을 노출시키는 콘택홀을 형성하는 단계; 및

상기 콘택홀을 통해 상기 셀접합과 전기적으로 연결되는 셀콘택플러그를 형성하는 단계

를 포함하는 반도체 소자의 제조 방법.

【청구항 2】

제1항에 있어서,

상기 플러그이온주입영역은, 마스크없이 블랭킷 이온주입으로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제2항에 있어서,

상기 블랭킷 이온주입은 인(^{31}P)을 이용하고, 80keV~150keV의 이온주입에너지와 1×10^{12} ions/cm²~ 3×10^{13} ions/cm²의 도즈로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법

【청구항 4】

제2항에 있어서,

상기 블랭킷 이온주입은, 인(^{31}P)을 이용하고, 80keV~150keV의 범위내에서 이온주입에너지를 분산시킴과 동시에 1×10^{12} ions/cm²~ 3×10^{13} ions/cm²의 범위내에서 도즈를 나누어 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

제4항에 있어서,

상기 이온주입에너지를 분산시키는 블랭킷 이온주입은,

상기 80keV~150keV의 범위내에서 낮은 이온주입에너지로부터 높은 이온주입에너지로 점차 그 크기를 증가시키면서 다수회 이온주입하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

제1항에 있어서,

상기 완충막은 질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

제2항에 있어서,

상기 질화막은 $200\text{ \AA} \sim 500\text{ \AA}$ 의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

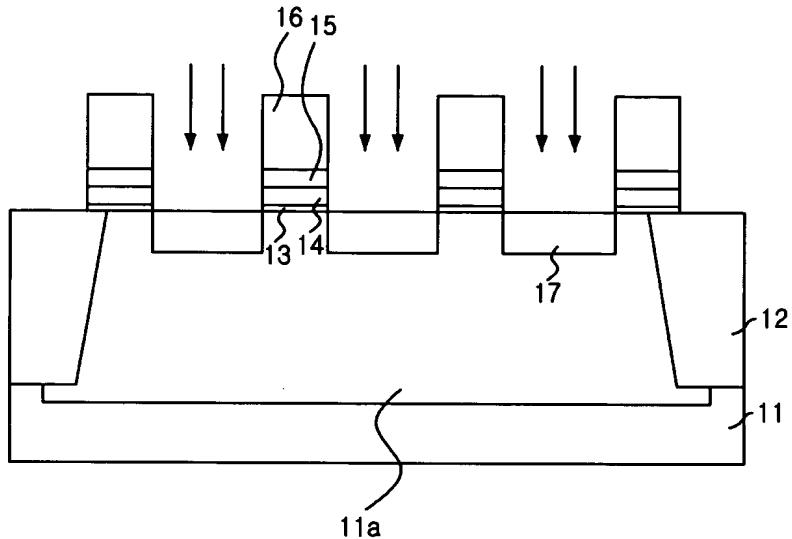
【청구항 8】

제1항에 있어서,

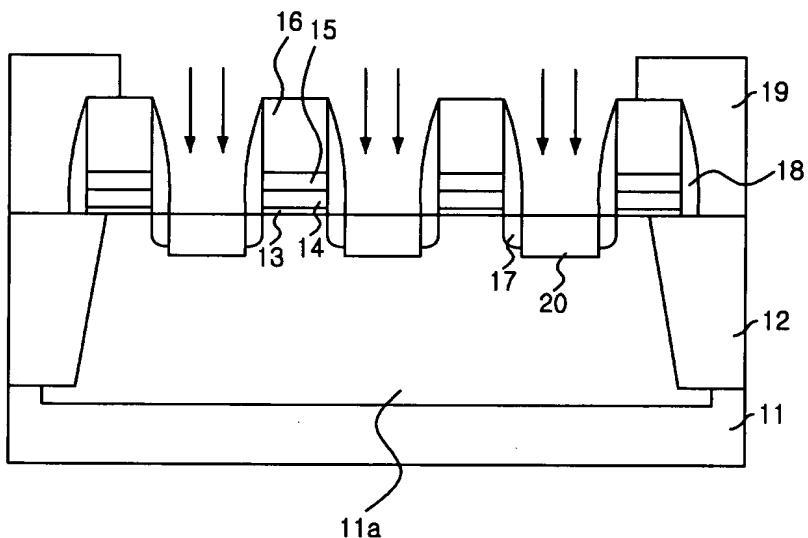
상기 제1도편트와 상기 제2도편트는 n형 도편트인 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

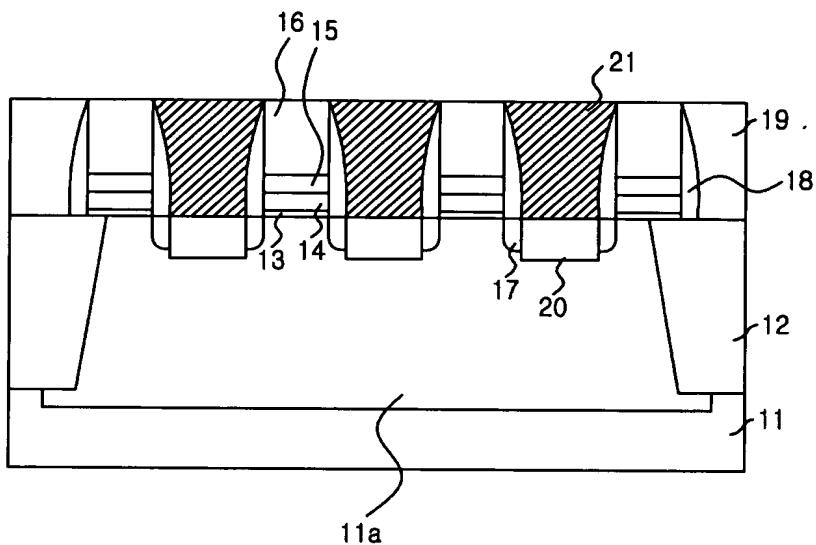
【도 1a】



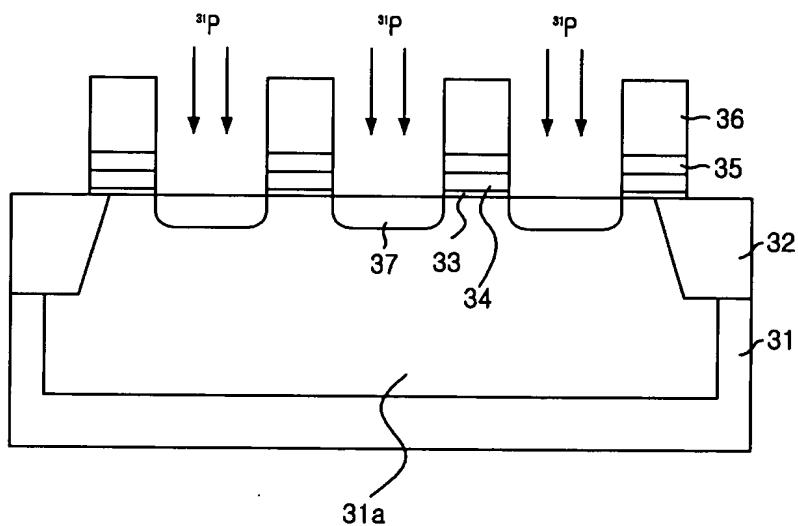
【도 1b】



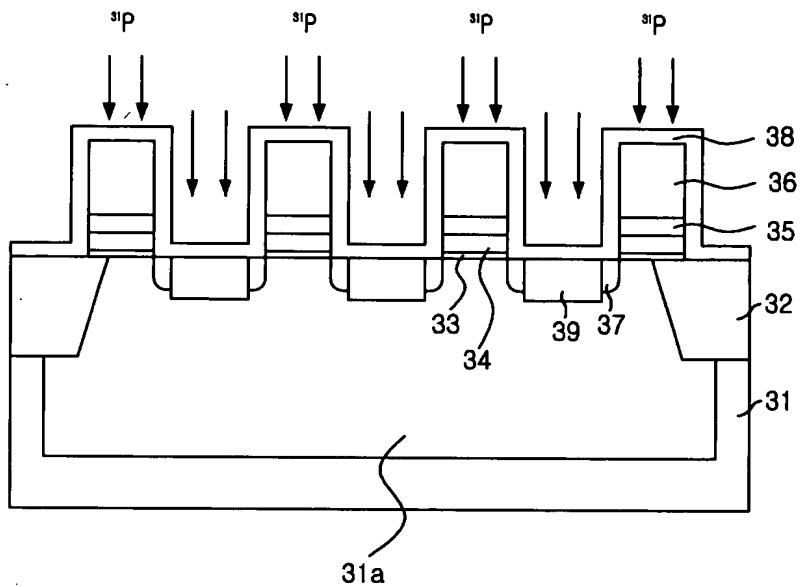
【도 1c】



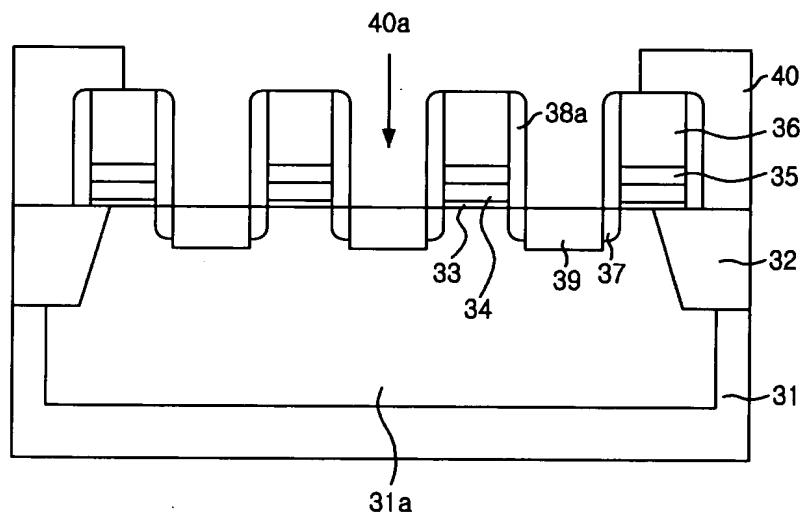
【도 2a】



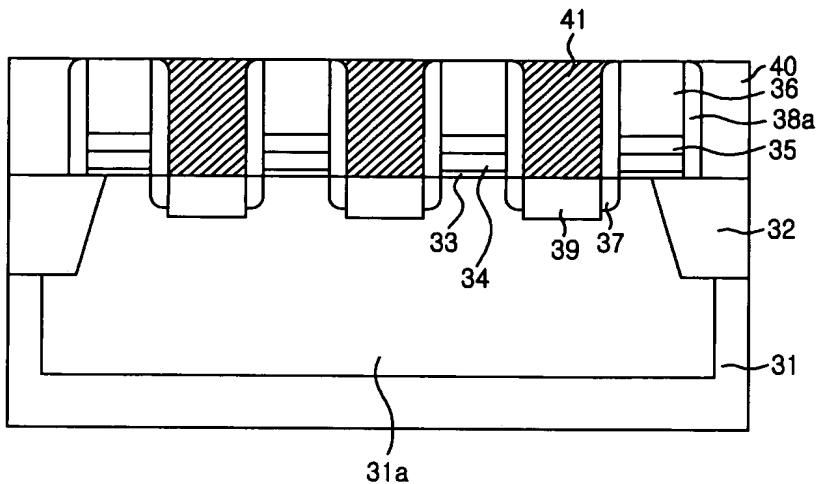
【도 2b】



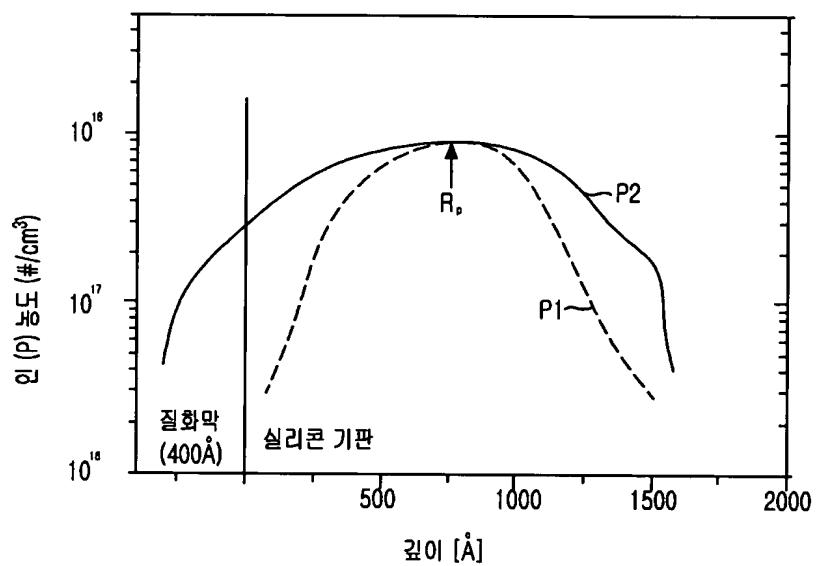
【도 2c】



【도 2d】



【도 3】



【도 4】

